

(19)



JAPANESE PATENT OFFICE

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 01128534 A

(43) Date of publication of application: 22 . 05 . 89

(51) Int. Cl

H01L 21/60

H01L 27/12

(21) Application number: 62287880

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing: 13 . 11 . 87

(72) Inventor: ISHIHARA SHINICHIRO NAGATA SEIICHI

(54) MOUNTING METHOD FOR SEMICONDUCTOR ELEMENT ON TRANSPARENT SUBSTRATE

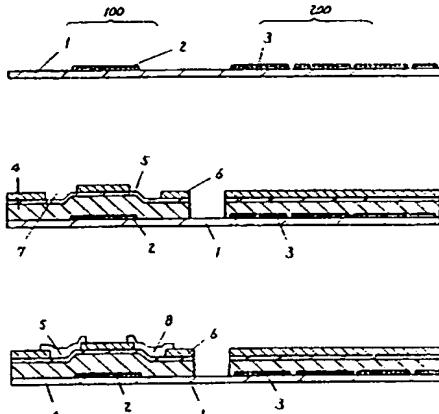
more from the chip 11.

COPYRIGHT: (C)1989,JPO&Japio

(57) Abstract:

PURPOSE: To shield a light at an IC chip simultaneously during the manufacture of a semiconductor element and to further reduce the stray capacitance due to wirings by forming a light shielding film during manufacturing step of a FET, shielding a light incident from a glass substrate, and setting a distance between a conductive material and the film to a specific value or less.

CONSTITUTION: A light shielding gate electrode 2 is formed of Cr on a glass substrate 1. A light shielding layer 3 of a COG region is held at a ground potential or a predetermined potential. The height 50 of bump for connecting an IC chip 1 to a wiring conductive film 9 by a COG bump 10 is so set that the distance between a wiring conductive film 9 and the chip 11 becomes $1.5\mu m$ or more. This is because, if a dust is engaged, it might be short-circuited. Further, this is because, when the height 50 of the bump is set $10\mu m$ or more, the forming accuracy of the bump itself is deteriorated. In order to complete as a liquid crystal display, an opposite glass substrate containing a color filter, opposite electrode, etc., is disposed on a TFT region isolated at 1mm or



⑪ 公開特許公報 (A)

平1-128534

⑤Int.Cl.
H 01 L 21/60
27/12

識別記号
S-6918-5F
Z-7514-5F

⑥公開 平成1年(1989)5月22日

審査請求 未請求 発明の数 1 (全4頁)

⑦発明の名称 透明基板上への半導体素子の実装方法

⑧特 願 昭62-287880
⑨出 願 昭62(1987)11月13日

⑩発明者 石原伸一郎 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑪発明者 永田清一 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑫出願人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑬代理人 弁理士 中尾敏男 外1名

明細書

1. 発明の名称

透明基板上への半導体素子の実装方法

2. 特許請求の範囲

(1) 透明基板上に、複数に分割された薄膜トランジスタの遮光性ゲート電極、複数層の絶縁性薄膜、前記トランジスタの活性層としての半導体薄膜、ソース電極、ドレイン電極および半導体素子とを構成要素として含み、前記透明基板側から入射する光を前記薄膜トランジスタ作成工程中に形成された前記ゲート電極材料または前記ソース電極材料によって遮断することを特徴とする透明基板上への半導体素子の実装方法。

(2) 遮光性ゲート電極材料およびまたはソース電極材料と、半導体素子上の導電性材料との距離を $1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下にし、前記距離により形成される空間に一部を残して絶縁性物質を満たすことを特徴とする特許請求の範囲第1項記載の透明基板上への半導体素子の実装方法。

(3) 透明基板上に設置する部品間距離を各々 $1 \mu\text{m}$

以上離すことを特徴とする特許請求の範囲第1項記載の透明基板上への半導体素子の実装方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、半導体素子であるICチップを透明基板例えばガラス基板上に実装するいわゆるチップ・オン・ガラス(以下COGと略す)の方法に関する。更に、本発明は、活性層として例えれば非晶質シリコン(以下a-Si:Hと略す)を用いた薄膜トランジスタ(以下TFTと略す)をガラス基板上に形成する実装方法に関する。

従来の技術

a-Si:Hを用いたTFTは 200°C 前後の比較的低温で大面積にわたって容易に形成されるため、一次元センサや、液晶ディスプレイに応用されるべく研究されている。これら半導体素子を駆動させるための信号は、従来基板端に取り込み電極を設け、フレキシブルフィルムによって外部回路を接続する実装方法が用いられていた。

一方付加価値を高めるため、単結晶シリコンを

底板とする半導体素子は、高密度化が図られている。ガラス底板上に形成される一次元センサや液晶ディスプレイの場合もその例外ではなく、更にガラス底板の特徴を利用して大型化も同時に進められている。フレキシブルフィルムは、高耐水ボリイミド樹脂を使用しているため大型化や、高密度化がすすむにつれ、実装するフィルムの枚数および面積が増加するため材料代が高価になりつつあった。さらに接点の数も増加するので信頼性の点で問題が発生するためガラス基板上にICチップを直接実装するCOG方式が用いられてきた。しかし、一次元センサや、液晶ディスプレイ等の場合、ガラス基板側から強力な光が入射し、ICチップに直接照射されていた。

発明が解決しようとする問題点

COGのICチップには通常遮光膜は施されておらず、基板全体を、最後に遮光する方法が用いられていた。しかし一次元センサや液晶ディスプレイには、その複雑な光入射方法のために、また装置全体の小型化のために、これらの製造工程か

ンデンサの間隔を1μm以上あける。

作用

遮光性ゲート電極材料または、ソース電極材料によってICチップはガラス面からの光を遮光することができ、これら遮光膜とICチップとの距離を1μm以上とることによって、これらの間で形成される容量を軽減する。10μm以下でなければならないのは、パンプ自体を形成する際に成形の精度が悪化するためである。また、絶縁体を基板とICチップとの間にに入れることにより信頼性を向上させることができ、ガラス基板上に設置する部品の間隔を1μm以上あけることにより、部品の接着強度を向上することができる。

実施例

以下、実施例について第1図に液晶ディスプレイを例にとって製造の工程を説明するため断面図を示す。断面図は、TFT領域100とCOG領域200に分けられている。

ガラス基板1上にCrによる遮光性ゲート電極2を形成する(第1図)。COG領域では遮光膜

ら最後に遮光する方法を用いることは困難であった。

遮光膜を用いない場合は、液晶ディスプレイの場合、通常ICチップを完全に遮光した場合には、面倒の信号と維持の比が、40から60程度であるが、1000ルクスの蛍光灯光線による照度をICチップに照射すると、この比が10程度からそれ以下になった。

問題点を解決するための手段

一次元センサや液晶ディスプレイのスイッチング素子として用いられているTFTの製造工程中に於て、半導体素子例えはICチップを配する領域に遮光性ゲート電極材料またはソース電極材料を用いて透明基板側例えばガラス基板上に遮光膜を形成し、ガラス基板側から入射する光を遮断する。さらにICチップと遮光膜とで形成される容量を軽減するため望ましくはICチップ上の導電性材料と遮光膜との距離を1μm以上10μm以下にしその空間に一部を除いて絶縁性物質を消去する。また、ガラス基板上に設置する部品例えは補助コ

となる。遮光層3は容量を減少させるため、複数の領域に分けられている。ICで使用する周波数によって、遮光層3は、単一領域としても良い。高周波グロー放電装置で、TFTのゲート絶縁膜4、TFTの活性層であるn-Si:H膜5、保護膜6を形成し、ソース、ドレイン部のコンタクトホールアを開ける(第2図)。ゲート絶縁膜4はTFT作成工程の都合で複数層になっている。次に、n型n-Si:H膜6を形成する(第3図)。次に、A1を含む金属膜を蒸着し、ソース、ドレイン電極ともなる配線用導電膜7を形成する(第4図)。COG領域の遮光層3はアース電位か、または、ある一定の電位に保たれている。COGパンプ10を用いてICチップ11を配線用導電膜7に接続するパンプの高さ80は配線用導電膜7とICチップ11との距離が1μm以上になるようにする。これはゴミ等をはさんだ場合短絡する可能性があること、また、ICチップ11の駆動周波数が高いので、配線用導電膜7と、ICチップ11との間で容量結合を形成するので、これ

を防ぐためである。また、バンプの高さ 50 を $10\text{ }\mu\text{m}$ 以上にするとバンプ自身の成形精度が悪化するためである。液晶ディスプレイとして充填させるためには、カラーフィルタ、対向電極などを含んだ対向ガラス基板をICチップ 11 と 1 以上あけてTFT領域上に配置し、液晶を注入するが、ここでは省略する。

以下、第2の実施例について説明する。

第4図においてCOG用バンプ 10 とのガラス基板 1 側の接触導電材料は配線用導電膜 9 である。第1の実施例ではAlを含む金銀膜であった。ITO(Inium Tin Oxide)等金属酸化物導電膜を用いる場合は、その面積抵抗を下げるために 150°C 程度以上に昇温しなければならず、下地金銀膜表面の酸化を防止するためガラス基板 1 上に直接ITOを形成した方が良い。このためには第1図の遮光膜 3 とガラス基板 1 との間にITO等を形成し、第4図においてCOG用バンプを用いてICチップ 11 を接続する前にバンプ 10 より大きな領域で、配線用導電膜 9 、保護膜 6 、

実装を行うことができる。

4. 図面の簡単な説明

第1図は、本発明による半導体素子の実装方法の第1の工程を示す断面図、第2図は本発明による実装方法の第2の工程の断面図、第3図は本発明による実装方法の第3の工程の断面図、第4図は本発明による実装方法の第4の工程の断面図である。

2……遮光性ゲート電極、3……遮光膜、4……ゲート絶縁膜、5……a-Si:H膜、6……配線用導電膜、50……バンプの高さ、60……光入射方向、100……TFT領域、200……COG領域。

代理人の氏名 弁理士 中尾敏男 担当者1名

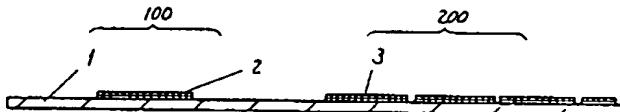
a-Si:H膜 5 、ゲート絶縁膜 4 、遮光膜 3 をエッティングする。この際のバンプの高さ 50 を考える。ICチップ 11 と配線用導電膜 9 との距離は、バンプの高さ 50 よりも、配線用導電膜 9 等の隙間にによって小さくなる。これを考慮してバンプの高さ 50 を求める、ICチップ 11 と配線用導電膜 9 との距離を $1\text{ }\mu\text{m}$ 以上 $10\text{ }\mu\text{m}$ 以下にしなければならない。距離の制限は実施例1で説明したとおりである。

なお、第4図において強力な光が入射するのは、主に図面下側から上に向かってであり、第4図の光入射方向 60 で示している。

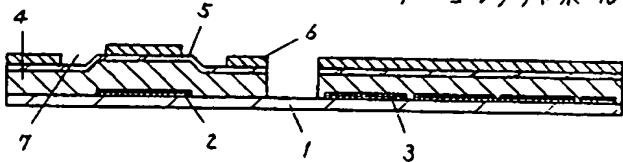
発明の効果

本発明による実装方法によって、従来光学的に不安定さがあるため避けられていた光を用いた半導体素子のCOG実装のICチップの露光を、半導体素子製造中で同時に作り込むことができ、さらに配線による浮遊容量をも減少させることができなど、余分な工程を必要とせず、簡単な工程でしかも低価格で、透明基板上への半導体素子の

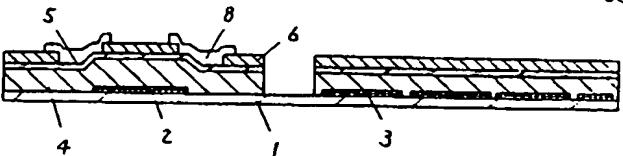
第1図
1…ガラス基板
2…遮光性導電膜
3…遮光膜
100…TFT領域
200…COG領域



第2図
4…ゲート絶縁膜
5…a-Si:H膜
6…保護膜
7…コンタクトホール

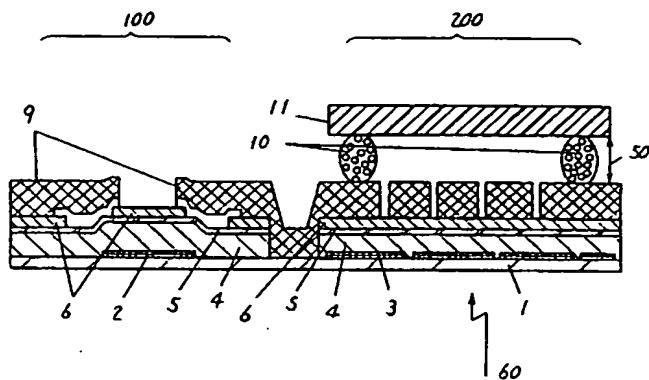


第3図
8…n型a-Si:H膜



第4図

- 1 … ガラス基板
 2 … 遮光性導電膜
 3 … 遮光膜
 4 … ゲート絶縁膜
 5 … a-Si:H膜
 6 … 保護膜
 9 … 配線用導電膜
 10 … COG用バンプ
 11 … ICチップ
 50 … バンプの高さ
 60 … 光入射方向
 100 … TFT領域
 200 … COG領域



This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLORED OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

**IMAGES ARE BEST AVAILABLE COPY.
As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**